

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Kwang-hee Lee et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: METHODS OF MANUFACTURING SEMICONDUCTOR DEVICES HAVING A RUTHENIUM LAYER USING VIA ATOMIC LAYER DEPOSITION AND ASSOCIATED APPARATUS AND DEVICES

Date: March 16, 2004

Mail Stop PATENT APPLICATION
Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the following Korean priority application:

10-2003-19258, filed March 27, 2003.

Respectfully submitted,

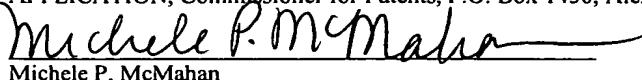


D. Randal Ayers
Registration No. 40,493

USPTO Customer No. 20792
Myers Bigel Sibley & Sajovec, P.A.
Post Office Box 37428
Raleigh, North Carolina 27627
Telephone: (919) 854-1400
Facsimile: (919) 854-1401
Our File No. 5649-1165

"Express Mail" mailing label number EV 381444019US
Date of Deposit: March 16, 2004

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to MAIL STOP PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



Michele P. McMahan



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0019258
Application Number

출 원 년 월 일 : 2003년 03월 27일
Date of Application MAR 27, 2003

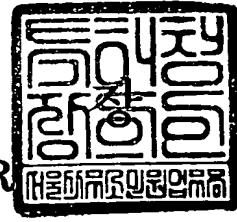
출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 12 월 15 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0023
【제출일자】	2003.03.27
【국제특허분류】	H01L
【발명의 명칭】	루테늄층을 갖는 반도체 메모리 소자의 제조방법 및 루테늄층 제조장치
【발명의 영문명칭】	Method for manufacturing semiconductor memory device having ruthenium film and apparatus for manufacturing the ruthenium film
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	이광희
【성명의 영문표기】	LEE, Kwang Hee
【주민등록번호】	710506-1343925
【우편번호】	151-061
【주소】	서울특별시 관악구 봉천11동 195-14호
【국적】	KR
【발명자】	
【성명의 국문표기】	유차영
【성명의 영문표기】	Yoo, Cha Young
【주민등록번호】	641217-1254226



020030019258

출력 일자: 2003/12/22

【우편번호】 441-460
【주소】 경기도 수원시 권선구 금곡동 530번지 엘지빌리지 203동 1302호
【국적】 KR
【발명자】
【성명의 국문표기】 임한진
【성명의 영문표기】 LIM, Han Jin
【주민등록번호】 670819-1047723
【우편번호】 135-271
【주소】 서울특별시 강남구 도곡1동 역삼럭키아파트 107-405
【국적】 KR
【발명자】
【성명의 국문표기】 이진일
【성명의 영문표기】 LEE, Jin Il
【주민등록번호】 730329-1567015
【우편번호】 463-748
【주소】 경기도 성남시 분당구 분당동(샛별마을) 라이프아파트 110-1306
【국적】 KR
【발명자】
【성명의 국문표기】 정숙진
【성명의 영문표기】 CHUNG, Suk Jin
【주민등록번호】 771105-2057716
【우편번호】 442-470
【주소】 경기도 수원시 팔달구 영통동 1051-3 202
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
이영필 (인) 대리인
정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 4 면 4,000 원



1020030019258

출력 일자: 2003/12/22

【우선권주장료】	0	건	0	원
【심사청구료】	27	항	973,000	원
【합계】			1,006,000	원
【첨부서류】	1. 요약서·명세서(도면)_1통			



1020030019258

출력 일자: 2003/12/22

【요약서】

【요약】

다량의 산소를 공급하지 않고도 비평탄한 반도체 기판 결과물에 용이하게 루테늄 씨드층을 형성하여, 루테늄 하부 전극과 콘택되는 스토리지 노드 콘택 플러그의 산화를 방지할 수 있는 루테늄층을 갖는 반도체 메모리 소자의 제조방법 및 루테늄층 제조장치를 개시한다. 개시된 본 발명은, 반도체 기판 상부에 스토리지 노드 콘택 플러그가 형성된 층간 절연막을 형성한다. 그후, 상기 스토리지 노드 콘택 플러그와 콘택되도록 ALD 방식으로 루테늄 씨드층을 형성하고, 상기 루테늄 씨드층 상부에 CVD 방식으로 루테늄 메인층을 형성한다음, 상기 루테늄 메인층 및 루테늄 씨드층을 소정 부분 패터닝하여, 하부 전극을 형성한다. 다음, 상기 하부 전극 표면에 유전막을 형성하고, 상기 유전막 상부에 상부 전극을 형성한다.

【대표도】

도 3d

【색인어】

ALD, CVD, 캐패시터



1020030019258

출력 일자: 2003/12/22

【명세서】

【발명의 명칭】

루테늄층을 갖는 반도체 메모리 소자의 제조방법 및 루테늄층 제조장치{Method for manufacturing semiconductor memory device having ruthenium film and apparatus for manufacturing the ruthenium film}

【도면의 간단한 설명】

도 1은 종래 기술에 따라 증착된 루테늄층의 사진이다.

도 2는 종래 기술에 따른 반도체 캐패시터의 성분을 보여주는 그래프이다.

도 3a 내지 도 3d는 본 발명의 실시예에 따른 루테늄층을 갖는 반도체 메모리 소자의 제조방법을 설명하기 위한 각 공정별 단면도이다.

도 4는 본 발명에 따라 증착된 루테늄층의 사진이다.

도 5는 본 발명에 따른 루테늄층 제조 장치를 나타낸 도면이다.

도 6은 본 발명에 따른 반도체 캐패시터의 성분을 보여주는 그래프이다.

(도면의 주요 부분에 대한 부호의 설명)

100 : 반도체 기판

115 : 스토리지 노드 콘택 플러그

140, 160 : 루테늄 씨드층

145, 165 : 루테늄 메인층



1020030019258

출력 일자: 2003/12/22

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10> 본 발명은 루테늄층을 갖는 반도체 메모리 소자의 제조방법 및 루테늄층 제조장치에 관한 것으로, 보다 구체적으로는 루테늄층 증착시 스토리지 노드 콘택 플러그의 산화를 방지할 수 있는 루테늄층을 갖는 반도체 메모리 소자의 제조방법 및 루테늄층 제조장치에 관한 것이다.

<11> 최근, 디램(DRAM), 페램(FERAM)등의 반도체 소자의 박막 전극 재료로서 비저항등의 전기적 특성이 극도로 우수한 루테늄 또는 루테늄 화합물이 적용되고 있다.

<12> 이와같은 루테늄 또는 루테늄 화합물층은 예를 들어 스퍼터링(sputtering) 또는 CVD(chemical vapor deposition)으로 주로 형성되고 있으며, 특히, CVD 방식은 균일한 두께의 박막을 제조하기 용이하다는 장점이 있으므로, 현재 고집적 반도체 제조 공정에서 주로 사용되고 있다.

<13> CVD 방법에 의하여 루테늄층을 형성하기 위하여는 루테늄 소스가 필요한데, 종래에는 루테늄 소스로서, $\text{Ru}(\text{EtCp})_2$ 또는 $\text{Ru}(\text{OD})_3$ 가 주로 이용되고 있다.

<14> 그러나, $\text{Ru}(\text{EtCp})_2$ 를 이용하여 루테늄층을 증착하면 다음과 같은 문제점이 있다. 즉, 상기한 $\text{Ru}(\text{EtCp})_2$ 소스를 공급하여 루테늄층을 형성하는 경우, 평탄면 상부에서는 일정 두께의 박막이 형성되었으나, 어스펙트비가 크거나 임계 치수가 작은 경우, 즉, 반도체 기판 결과물이 비평탄한 경우, 도 1에 도시된 바와 같이, 반도체 기판 결과물(10) 상에 루테늄층이 전혀 증착



되지 않는다. 이는 상기 $\text{Ru}(\text{EtCp})_2$ 소스가 협소한 공간으로는 제대로 공급되지 않아, 씨드층을 형성하지 못하기 때문이다.

<15> 이에따라, 현재에는 $\text{Ru}(\text{EtCp})_2$ 소스의 이동성을 증대시키기 위하여, 고압하에서 다량의 산소를 공급하여 루테늄 씨드층을 형성한다음, 공정 분위기를 낮추어 루테늄 메인층을 형성하고 있다. 즉, 상기 루테늄 씨드층은 약 30mTorr의 압력 및 1250sccm 정도의 산소를 공급한 상태에서 형성되고, 루테늄 메인층은 압력 및 산소 유량을 약 0.5Torr 및 약 45sccm 정도로 각각 낮춘 상태에서 형성한다.

<16> 그러나, 상술한 바와 같이 루테늄 씨드층 증착시 다량의 산소가 공급되기 때문에, 루테늄층내의 산소 함량이 매우 높고, 후속으로 열처리 공정을 진행하게 되면, 루테늄층내의 산소들이 스토리지 노드 콘택 플러그쪽으로 확산된다. 이렇게 확산된 산소들은 스토리지 노드 콘택 플러그를 산화시키어, 콘택 저항을 증대시킨다.

<17> 도 2는 종래의 반도체 캐패시터의 조성을 보여주는 그래프이다. 상기 그래프는 증착된 루테늄층 결과물에 소정의 이온으로 스퍼터링하여, 루테늄층이 일정 두께씩 패이게끔하므로써 스퍼터된 물질의 조성을 분석한 것이다. 도 2에 의하면, 3분간 스퍼터링을 진행하였을 때, 루테늄층 하지막 성분인 탄탈륨(Ta_4f)이 나타나는 것으로 보아, 3분 이전에는 루테늄층으로 된 캐패시터 상부 전극임을 알 수 있으며, 상기 그래프에 의하면 루테늄층내에 즉, 0 내지 3분 사이에 다량의 산소가 존재함을 알 수 있었다. 이렇게 루테늄층에 함유된 다량의 산소는 후속의 열처리 공정시 캐패시터 하부의 콘택 플러그 쪽으로 확산된다.

<18> 한편, 상기 $\text{Ru}(\text{OD})_3$ 를 루테늄 소스로 사용하는 경우, 상기 $\text{Ru}(\text{OD})_3$ 자체가 다량의 산소를 포함하고 있어, 루테늄층 증착시, 스토리지 노드 콘택 플러그를 산화시키게 된다.



1020030019258

출력 일자: 2003/12/22

【발명이 이루고자 하는 기술적 과제】

<19> 따라서, 본 발명의 목적은 다량의 산소를 공급하지 않고도 비평탄한 반도체 기판 결과물에 용이하게 루테늄 씨드층을 형성할 수 있는 반도체 메모리 소자의 제조방법을 제공하는 것이다.

<20> 또한, 본 발명의 다른 목적은 루테늄 하부 전극과 콘택되는 스토리지 노드 콘택 플러그의 산화를 방지할 수 있는 반도체 메모리 소자의 제조방법을 제공하는 것이다.

<21> 본 발명의 또 다른 목적은 상기한 루테늄층을 형성하기 위한 루테늄층 제조장치를 제공하는 것이다.

【발명의 구성 및 작용】

<22> 상기한 본 발명의 목적을 달성하기 위하여, 본 발명은, 반도체 기판 상부에 스토리지 노드 콘택 플러그가 형성된 층간 절연막을 형성한다. 그후, 상기 스토리지 노드 콘택 플러그와 콘택되도록 ALD 방식으로 루테늄 씨드층을 형성하고, 상기 루테늄 씨드층 상부에 CVD 방식으로 루테늄 메인층을 형성한다음, 상기 루테늄 메인층 및 루테늄 씨드층을 소정 부분 패터닝하여, 하부 전극을 형성한다. 다음, 상기 하부 전극 표면에 유전막을 형성하고, 상기 유전막 상부에 상부 전극을 형성한다.

<23> 또한, 본 발명의 다른 실시예에 의한 반도체 메모리 소자의 제조방법은, 반도체 기판 상부에 스토리지 노드 콘택 플러그가 형성된 층간 절연막을 형성한다음, 상기 층간 절연막 상부에 몰드 산화막 구조물을 형성하고, 상기 스토리지 노드 콘택 플러그가 노출되도록 몰드 산화막 구조물을 식각하여, 하부 전극 영역을 형성한다. 그후에, 하부 전극 영역 및 층간 절연막 상부에 ALD 방식으로 루테늄 씨드층을 형성하고, 상기 루테늄 씨드층 상부에 CVD 방식으로 루

테늄 메인층을 형성한다음, 상기 루테늄 메인층 및 루테늄 씨드층을 화학적 기계적 연마하여, 하부 전극을 형성한다. 다음, 상기 하부 전극 표면에 유전막을 형성하고, 상기 유전막 상부에 ALD 방식으로 루테늄 씨드층을 형성한다음, 상기 루테늄 씨드층 상부에 CVD 방식으로 루테늄 메인층을 형성하여, 상부 전극을 형성한다.

<24> 상기 하부 및 상부 전극의 루테늄 씨드층을 형성하는 단계는, 상기 반도체 기판 결과물 상에 루테늄 소스를 공급하는 단계, 상기 챔버 및 결과물 표면을 퍼지하는 단계, 상기 반도체 기판 결과물 상부에 산소 포함 가스를 공급하는 단계, 상기 챔버 및 결과물 표면을 퍼지하는 단계, 상기 반도체 기판 결과물 상부에 수소 포함 가스를 공급하는 단계, 및 상기 챔버 및 결과물 표면을 퍼지하는 단계를 포함한다.

<25> 상기 산소 포함 가스는 O_2 , O_3 또는 H_2O 가스일 수 있고, 상기 수소 포함 가스는 H_2 또는 NH_3 가스일 수 있다. 또한, 상기 산소 포함 가스 및 수소 포함 가스는 플라즈마 상태로 제공될 수 있다.

<26> 또한, 상기 하부 및 상부 전극의 루테늄 씨드층은 5 내지 50\AA 두께로 형성할 수 있고, 루테늄 메인층은 50 내지 300\AA 두께로 형성할 수 있다.

<27> 또한, 상기 하부 및 상부 전극의 루테늄 메인층을 형성하는 단계는, 0.4 내지 0.6Torr의 압력하에서 1 내지 50sccm의 산소 및 0.1 내지 2ccm의 루테늄 소스를 공급하여 형성할 수 있다

<28> 상기 유전막은 탄탈륨 산화막일 수 있다.

<29> 또한, 본 발명의 다른 견지에 따른 루테늄 제조장치는, 웨이퍼가 대기중인 트랜스퍼 모듈, 상기 트랜스퍼 모듈의 일측에 상기 트랜스퍼 모듈과 연통되도록 설치되며, 루테늄 씨드층

을 형성하기 위한 ALD 챔버, 상기 트랜스퍼 모듈의 타측에 상기 트랜스퍼 모듈과 연통되도록 설치되며, 루테늄 메인충을 형성하기 위한 CVD 챔버를 포함한다.

<30> (실시예)

<31> 이하 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 설명하도록 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 "상"에 있다라고 기재되는 경우에, 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제 3의 층이 개재되어 질 수 있다.

<32> 첨부한 도면 도 3a 내지 도 3d는 본 발명의 실시예에 따른 루테늄층을 갖는 반도체 메모리 소자의 제조방법을 설명하기 위한 각 공정별 단면도이다. 도 4는 본 발명에 따라 층착된 루테늄층의 사진이고, 도 5는 본 발명에 따른 루테늄층 제조 장치를 나타낸 도면이다. 도 6은 본 발명에 따른 반도체 캐패시터의 성분을 보여주는 그래프이다.

<33> 도 3a를 참조하여, 반도체 기판(100) 상부에 제 1 층간 절연막(110)을 형성한다. 이때, 반도체 기판(100) 상부에는 게이트, 소오스, 및 드레인을 포함하는 모스 트랜지스터 및 상기 드레인과 전기적으로 연결되는 비트 라인이 형성되어 있을 수 있다. 제 1 층간 절연막(110) 내부에는 상기 소오스와 전기적으로 연결되도록 스토리지 노드 콘택 플러그(115)를 공지의 방법으로 형성한다. 스토리지 노드 콘택 플러그(115)는 예를 들어, 티타늄 질화막(TiN)으로 형성될

수 있다. 제 1 층간 절연막(110) 및 티타늄 질화막으로 된 스토리지 노드 콘택 플러그(115) 상부에 제 2 층간 절연막(120), 에치 스텝퍼(125) 및 제 3 층간 절연막(130)을 순차적으로 형성하여 몰드 산화막 구조물을 형성한다. 제 2 및 제 3 층간 절연막(120, 130)은 실리콘 산화막, 예를 들어 플라즈마-TEOS막일 수 있고, 에치 스텝퍼(125)는 제 2 및 제 3 층간 절연막(120, 130)과 식각 선택비가 상이한 막, 예를 들어 실리콘 질화막일 수 있다. 이들 제 2 층간 절연막(120), 에치 스텝퍼(125) 및 제 3 층간 절연막(130)은 하부 전극의 높이를 결정한다.

<34> 다음, 제 3 층간 절연막(130), 에치 스텝퍼(125) 및 제 2 층간 절연막(120)을 스토리지 노드 콘택 플러그(115)가 노출되도록 소정 부분 식각하여, 하부 전극 영역(135)을 한정한다.

<35> 도 3b에서와 같이, 하부 전극 영역 및 제 3 층간 절연막(130) 상부에 루테늄 씨드층(140)을 형성한다. 본 발명의 루테늄 씨드층(140)은 ALD(atomic layer deposition) 방식으로 약 5 내지 50 Å 두께로 형성된다. ALD 방식에 의하여 루테늄 씨드층(140)을 형성하는 공정은 예를 들어, (a) 반도체 기판 결과물상에 루테늄 소스를 공급하는 공정, (b) 퍼지하는 공정, (c) 산소 포함 가스를 공급하는 공정, (d) 퍼지하는 공정, (e) 수소 포함 가스를 공급하는 공정 및 (f) 퍼지하는 일련의 공정으로 진행될 수 있다. 이러한 일련의 공정은 루테늄 씨드층(140)의 두께를 고려하여 반복 진행될 수 있다.

<36> 상기 루테늄 소스로는 예를 들어 $\text{Ru}(\text{EtCp})_2$ 가 이용될 수 있으며, 산소 포함 가스로는 O_2 , O_3 또는 H_2O 가 이용될 수 있고, 수소 포함 가스로는 H_2 또는 NH_3 가스가 이용될 수 있다. 여기서, 상기 산소 포함 가스를 공급하는 공정 및/또는 상기 수소 포함 가스를 공급하는 공정에서, 상기 산소 및 수소를 플라즈마 상태로 제공하면 증착이 활성화된다. 또한, 상기 수소 포함 가스를 공급하는 공정은 씨드층(140)내의 산소등의 불순물을 제거하는 역할을 한다.

<37> 이러한 루테늄 씨드층(140)은 ALD 방식에 의하여 형성되므로, 다량의 산소를 공급하지 않고도 협소하며 비평탄한 영역에 균일한 두께로 씨드층을 형성할 수 있다.

<38> 루테늄 씨드층(140) 상부에 루테늄 메인층(145)을 증착한다. 루테늄 메인층(145)은 씨드층(140) 형성 방식보다는 빠른 증착 속도를 가지는 방식으로 형성할 수 있으며, 예를 들어, CVD(chemical vapor deposition) 방식으로 형성할 수 있다. 이러한 루테늄 메인층(145)은 0.4 내지 0.6 Torr의 압력에서, 1 내지 50sccm 정도의 산소 및 0.1 내지 2ccm 정도의 루테늄 소스를 공급하여 형성할 수 있다. 아울러, 루테늄 메인층(145)은 약 50 내지 300Å 두께로 증착한다.

<39> 이때, 루테늄 메인층(145)은 루테늄 씨드층(140)이 형성되어 있는 상태에서 증착되므로, 협소한 공간이라도 일정 두께만큼 용이하게 증착된다.

<40> 여기서, 도 4는 본 발명에 따라 증착된 루테늄층의 사진으로, ALD 방식으로 루테늄 씨드층(140)을 형성하고, CVD 방식으로 루테늄 메인층(145)을 형성한 결과, 종래와 달리 비평탄한 반도체 기판 결과물 상부에 루테늄층이 고르게 증착되었다.

<41> 또한, 본 발명의 루테늄 씨드층(140) 및 루테늄 메인층(145)은 도 5에 도시된 바와 같이 ALD 챔버 및 CVD 챔버가 머지된 루테늄층 제조 장치(200)에서 제작될 수 있다. 보다 자세히 설명하면, 본 발명의 루테늄 제조 장치(200)는 트랜스퍼 모듈(transfer module:210), 트랜스퍼 모듈(210)의 일측에 배치되는 ALD 챔버(220) 및 트랜스퍼 모듈(210)의 타측에 배치되는 CVD 챔버(230)로 구성된다. 이러한 루테늄 제조 장치(200)는 ALD 챔버(220) 및 CVD 챔버(230)가 트랜스퍼 모듈(210)에 의하여 연결되어 있으므로, 진공의 단절없이 루테늄 씨드층(140) 및 루테늄 메인층(145)을 증착할 수 있다.

<42> 그후, 도 3c에서와 같이, 루테늄 메인층(145) 상부에 희생층(도시되지 않음)을 증착한다음, 제 3 층간 절연막(130) 표면이 노출되도록 희생층, 루테늄 메인층(145) 및 루테늄 씨드층(140)을 화학적 기계적 연마하여, 콘케이브 형태의 하부 전극(150)을 형성한다.

<43> 다음, 도 3d에 도시된 바와 같이, 하부 전극(150) 표면 및 제 3 층간 절연막(130) 상부에 유전막(155)을 증착하고, 유전막 상부에 상부 전극(170)을 형성한다. 이때, 유전막(155)으로는 예를 들어, 탄탈륨 산화막(TaO)이 이용될 수 있고, 상부 전극(170)으로는 예를 들어 루테늄층이 이용될 수 있다. 여기서, 상부 전극(170) 역시, ALD 방식으로 루테늄 씨드층(160)을 형성하고, 그 상부에 CVD 방식으로 루테늄 메인층(165)을 형성한다.

<44> 여기서, 도 6은 본 발명의 캐패시터의 성분을 조사한 그래프이다. 상기한 그래프에 의하면, 루테늄 상부 전극에 해당하는 부분을 약 4분 동안 스퍼터링한 결과, 루테늄 성분만이 대부분 나타나고, 4분이 경과한 후 탄탈륨 성분 및 산소 성분이 나타났다. 이러한 결과, 본 발명과 같이 루테늄층을 형성하면, 루테늄층내에 산소 성분이 거의 존재하지 않게 되어, 후속 열처리 시, 산소의 확산을 방지할 수 있다.

【발명의 효과】

<45> 이상에서 자세히 설명한 바와 같이, 본 발명에 의하면, 캐패시터의 전극층을 구성하는 루테늄층 증착시, ALD 방식에 의하여 루테늄 씨드층을 형성한다음, CVD 방식에 의하여 루테늄 메인층을 형성한다.

<46> 이와같이, ALD 방식에 의하여 루테늄 씨드층을 형성함으로써, 고압하에서 다량의 산소를 공급하지 않고도, 어스펙트비가 큰 비평탄한 결과물 상에 박막의 씨드층을 형성할 수 있다. 더욱이, 씨드층이 형성된 상태에서 CVD 방식에 의하여 루테늄 메인층을 형성하므로, 고압하에서

다량의 산소를 공급하지 않고도 일정 두께의 루테늄층을 빠른 속도로 증착할 수 있다. 이에따라, 씨드층 및 메인층 형성시 다량의 산소 공급이 요구되지 않으므로, 스토리지 노드 콘택 플러그로의 산소 확산을 방지할 수 있어, 콘택 저항을 감소할 수 있다.

<47> 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

【특허청구범위】**【청구항 1】**

반도체 기판 상부에 스토리지 노드 콘택 플러그가 형성된 층간 절연막을 형성하는 단계;

상기 스토리지 노드 콘택 플러그와 콘택되도록 ALD 방식으로 루테늄 씨드층을 형성하는 단계;

상기 루테늄 씨드층 상부에 CVD 방식으로 루테늄 메인층을 형성하는 단계;

상기 루테늄 메인층 및 루테늄 씨드층을 소정 부분 패터닝하여, 하부 전극을 형성하는 단계;

상기 하부 전극 표면에 유전막을 형성하는 단계; 및

상기 유전막 상부에 상부 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 2】

제 1 항에 있어서, 상기 ALD 방식으로 루테늄 씨드층을 형성하는 단계는,

상기 반도체 기판 결과물 상에 루테늄 소스를 공급하는 단계;

상기 챔버 및 결과물 표면을 퍼지하는 단계;

상기 반도체 기판 결과물 상부에 산소 포함 가스를 공급하는 단계;

상기 챔버 및 결과물 표면을 퍼지하는 단계;

상기 반도체 기판 결과물 상부에 수소 포함 가스를 공급하는 단계; 및

상기 챔버 및 결과물 표면을 퍼지하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 3】

제 2 항에 있어서, 상기 산소 포함 가스는 O_2 , O_3 또는 H_2O 가스인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 4】

제 2 항에 있어서, 상기 수소 포함 가스는 H_2 또는 NH_3 가스인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 5】

제 2 항에 있어서, 상기 산소 포함 가스 및 수소 포함 가스는 플라즈마 상태로 제공되는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 6】

제 2 항에 있어서, 상기 루테늄 씨드층은 5 내지 50\AA 두께로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 7】

제 1 항에 있어서, 상기 루테늄 메인층을 형성하는 단계는, 0.4 내지 0.6Torr의 압력하에서 1 내지 50sccm의 산소 및 0.1 내지 2ccm의 루테늄 소스를 공급하여 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 8】

제 7 항에 있어서, 상기 루테늄 메인층은 50 내지 300\AA 두께로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 9】

제 1 항에 있어서, 상기 유전막은 탄탈륨 산화막인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 10】

제 1 항에 있어서, 상기 상부 전극을 형성하는 단계는,
상기 유전막 상부에 ALD 방식으로 루테늄 씨드층을 형성하는 단계; 및
상기 루테늄 씨드층 상부에 CVD 방식으로 루테늄 메인층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 11】

제 10 항에 있어서, 상기 ALD 방식으로 루테늄 씨드층을 형성하는 단계는,
상기 반도체 기판 결과물 상에 루테늄 소스를 공급하는 단계;
상기 챔버 및 결과물 표면을 펴지하는 단계;
상기 반도체 기판 결과물 상부에 산소 포함 가스를 공급하는 단계;
상기 챔버 및 결과물 표면을 펴지하는 단계;
상기 반도체 기판 결과물 상부에 수소 포함 가스를 공급하는 단계; 및
상기 챔버 및 결과물 표면을 펴지하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 12】

제 11 항에 있어서, 상기 산소 포함 가스는 O_2 , O_3 또는 H_2O 가스인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 13】

제 11 항에 있어서, 상기 수소 포함 가스는 H_2 또는 NH_3 가스인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 14】

제 11 항에 있어서, 상기 산소 포함 가스 및 수소 포함 가스는 플라즈마 상태로 제공되는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 15】

제 11 항에 있어서, 상기 루테늄 씨드층은 5 내지 50\AA 두께로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 16】

제 10 항에 있어서, 상기 루테늄 메인층을 형성하는 단계는, 0.4 내지 0.6Torr의 압력하에서 1 내지 50sccm의 산소 및 0.1 내지 2ccm의 루테늄 소스를 공급하여 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 17】

제 18 항에 있어서, 상기 루테늄 메인층은 50 내지 300\AA 두께로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 18】

반도체 기판 상부에 스토리지 노드 콘택 플러그가 형성된 층간 절연막을 형성하는 단계;

상기 층간 절연막 상부에 몰드 산화막 구조물을 형성하는 단계;

상기 스토리지 노드 콘택 플러그가 노출되도록 몰드 산화막 구조물을 식각하여, 하부 전극 영역을 형성하는 단계;

상기 하부 전극 영역 및 충간 절연막 상부에 ALD 방식으로 루테늄 씨드층을 형성하는 단계;

상기 루테늄 씨드층 상부에 CVD 방식으로 루테늄 메인층을 형성하는 단계;

상기 루테늄 메인층 및 루테늄 씨드층을 화학적 기계적 연마하여, 하부 전극을 형성하는 단계;

상기 하부 전극 표면에 유전막을 형성하는 단계;

상기 유전막 상부에 ALD 방식으로 루테늄 씨드층을 형성하는 단계; 및

상기 루테늄 씨드층 상부에 CVD 방식으로 루테늄 메인층을 형성하여, 상부 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 19】

제 18 항에 있어서, 상기 하부 및 상부 전극의 루테늄 씨드층을 형성하는 단계는,

상기 반도체 기판 결과물 상에 루테늄 소스를 공급하는 단계;

상기 챔버 및 결과물 표면을 펴지하는 단계;

상기 반도체 기판 결과물 상부에 산소 포함 가스를 공급하는 단계;

상기 챔버 및 결과물 표면을 펴지하는 단계;

상기 반도체 기판 결과물 상부에 수소 포함 가스를 공급하는 단계; 및

상기 챔버 및 결과물 표면을 펴지하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.



1020030019258

출력 일자: 2003/12/22

【청구항 20】

제 19 항에 있어서, 상기 산소 포함 가스는 O_2 , O_3 또는 H_2O 가스인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 21】

제 19 항에 있어서, 상기 수소 포함 가스는 H_2 또는 NH_3 가스인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 22】

제 19 항에 있어서, 상기 산소 포함 가스 및 수소 포함 가스는 플라즈마 상태로 제공되는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 23】

제 19 항에 있어서, 상기 하부 및 상부 전극의 루테늄 씨드층은 5 내지 50\AA 두께로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 24】

제 18 항에 있어서, 상기 하부 및 상부 전극의 루테늄 메인층은 단계는, 0.4 내지 0.6Torr의 압력하에서 1 내지 50sccm의 산소 및 0.1 내지 2ccm의 루테늄 소스를 공급하여 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 25】

제 18 항에 있어서, 상기 하부 및 상부 전극의 루테늄 메인층은 50 내지 300\AA 두께로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 26】

제 19 항에 있어서, 상기 유전막은 탄탈륨 산화막인 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

【청구항 27】

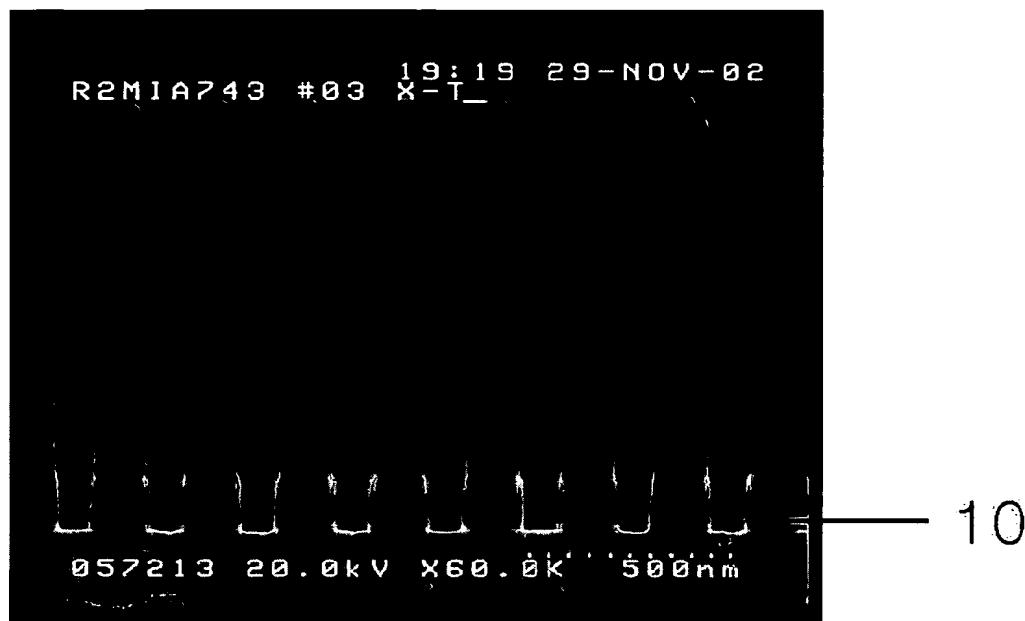
웨이퍼가 대기중인 트랜스퍼 모듈;

상기 트랜스퍼 모듈의 일측에 상기 트랜스퍼 모듈과 연통되도록 설치되며, 루테늄 씨드 층을 형성하기 위한 ALD 챔버; 및

상기 트랜스퍼 모듈의 타측에 상기 트랜스퍼 모듈과 연통되도록 설치되며, 루테늄 메인 층을 형성하기 위한 CVD 챔버를 포함하는 것을 특징으로 하는 루테늄 제조 장치.

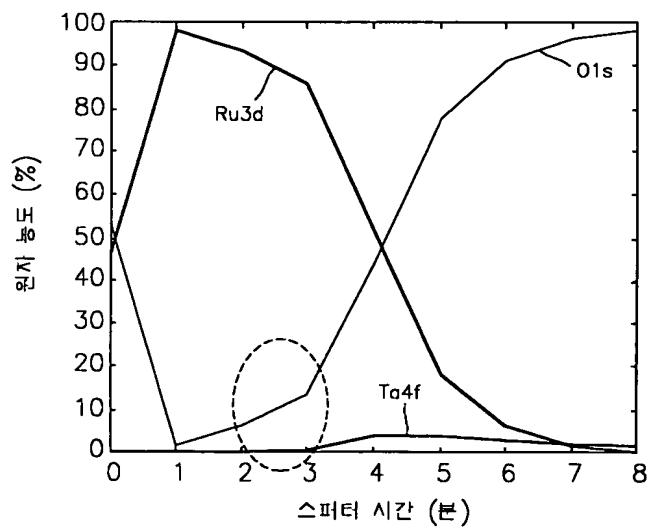
【도면】

【도 1】

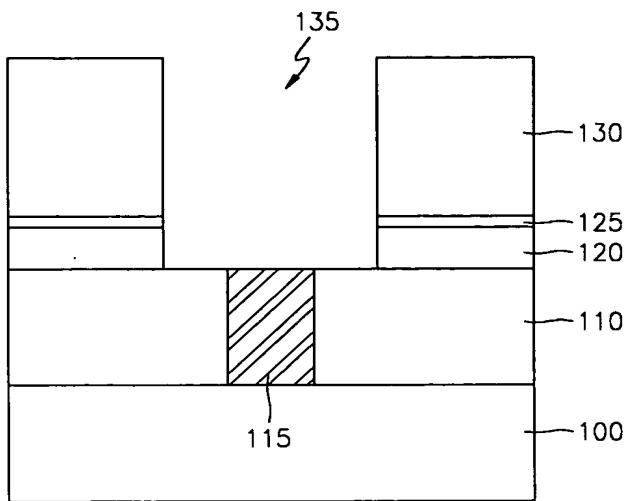


BEST AVAILABLE COPY

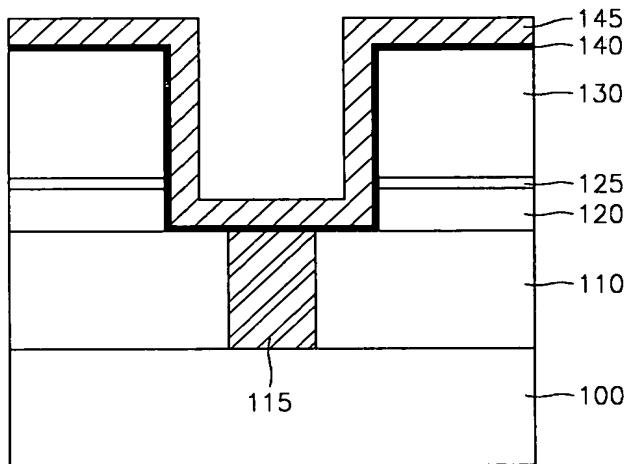
【도 2】



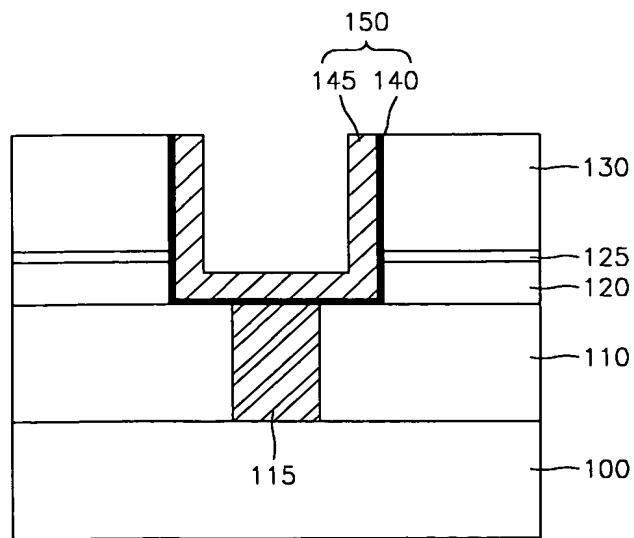
【도 3a】



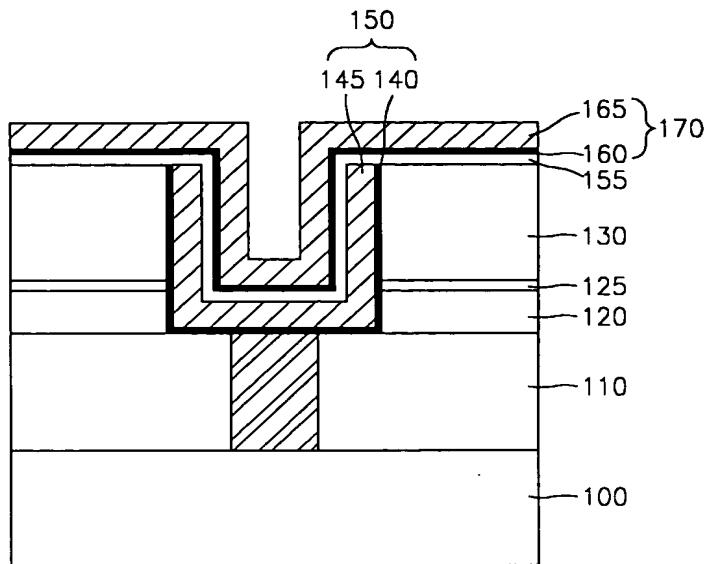
【도 3b】



【도 3c】



【도 3d】



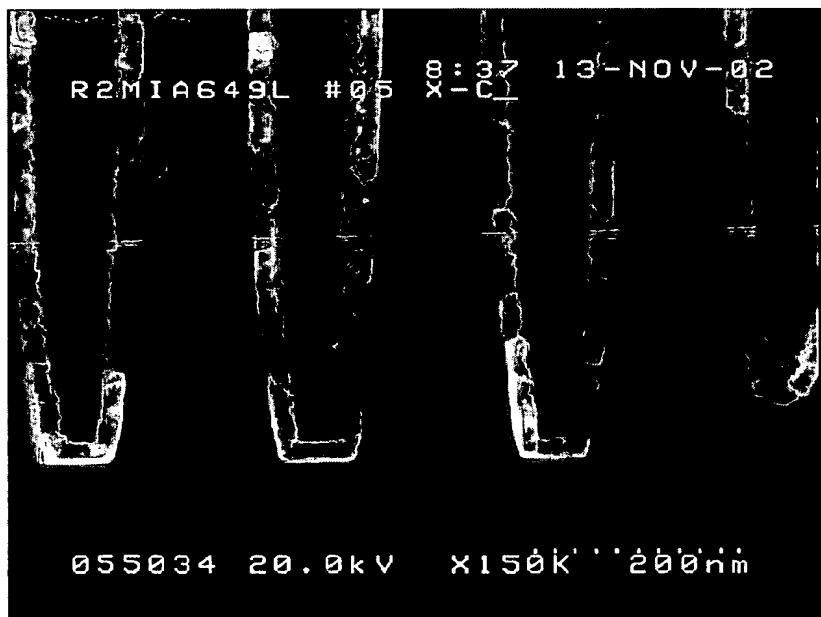
1020030019258

출력 일자: 2003/12/22

【도 4】

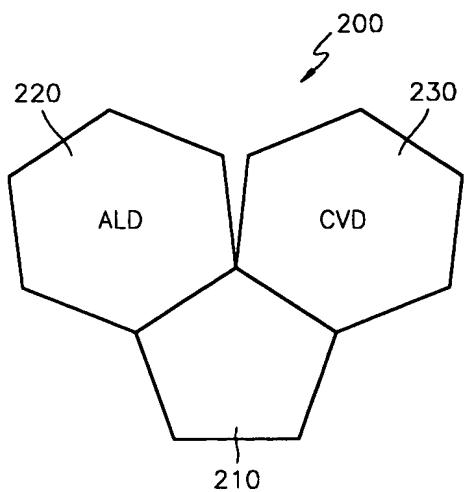


145
140



BEST AVAILABLE COPY

【도 5】



【도 6】

